



DESIGN DIGITAL VERILOG

CONTENU :

Initiation au langage VERILOG

Application à la modélisation des systèmes, à la méthodologie "top-down".

Application à la synthèse automatique, pour design d'ASICs et de systèmes sur FPGA.

Comparaison VERILOG-VHDL, modélisation mixte VERILOG-VHDL

Notions de codesign, utilisation de blocs IP

PRÉREQUIS :

Bases de systèmes digitaux, logique booléenne.

LOGICIELS UTILISÉS :

Simulateurs CADENCE LDV (VERILOGXL et NCVILOG)

Simulateur VERILOGGER

Outil de synthèse SYNOPSIS

NOMBRE DE PLACES :

Maximum 8

DURÉE :

3 jours

25% cours, 75% TP

CONTACT :

Secrétariat AIME : micro.el@aime-toulouse.fr