



MODÉLISATION ANALOGIQUE ou MIXTE VERILOG-AMS

CONTENU :

Initiation à l'extension AMS (Analog and Mixed Signal) du langage VERILOG.
Application à la modélisation de systèmes, de composants,
Application à la méthodologie "top-down"
Modélisation de systèmes mixtes analogiques-numériques
Modélisation de systèmes multi-domaines (par exemple MEMs)
Comparaison avec VHDL-AMS

PRÉREQUIS :

Notions de simulation analogique (SPICE) et/ou notions de langage Verilog.

LOGICIEL UTILISÉS :

SPECTRE (CADENCE)
ADV-AMS (MENTOR GRAPHICS)
SMASH (DOLPHIN)

NOMBRE DE PLACES :

Maximum 8

DUREE :

3 jours (2 jours si combiné avec stage VHDL-AMS)
25% cours, 75% TP

CONTACT :

Secrétariat AIME : micro.el@aime-toulouse.fr