



VHDL, MODÉLISATION & SYNTHÈSE

CONTENU :

- Introduction au langage VHDL
- Jeu d'instructions et notions de hiérarchie
- Travaux pratiques de mise en œuvre à partir du langage VHDL
- Style d'écriture recommandé pour une synthèse efficace
- Présentation des outils Xilinx – ISE
- Introduction aux FPGA XILINX SPARTAN II, SPARTAN III et VIRTEX II
- Etudes de cas

PRÉREQUIS :

Ce cours s'adresse à un public ne connaissant pas le langage VHDL.

LOGICIELS UTILISÉS :

Xilinx ISE, Synplicity

NOMBRE DE PLACES :

Maximum 8

DURÉE :

4 jours, pouvant être condensé en 3 jours
50% cours, 50% TP

CONTACT :

Secrétariat AIME : micro.el@aime-toulouse.fr