
INITIATION à CADENCE LAYOUT XL

Objectif du TP :

Il s'agit de mettre en œuvre les différentes étapes nécessaires à l'intégration d'un circuit dans un ASIC à partir de son cahier des charges:

- 1/ conception et simulation du schéma électrique en utilisant les modèles fournis par le technologue choisi,
- 2/ dessin du circuit (le « **layout** ») correspondant au schéma électrique en respectant les règles de dessin fournies par le technologue choisi,
- 3/ la vérification par le logiciel des règles de dessin (**Design Rules Check**),
- 4/ l'extraction du **layout**. L'extracteur reconnaît les éléments actifs et passifs et les équipotentielles,
- 5/ la comparaison entre le dessin et le schéma électrique du circuit (**Layout Versus Schematic = LVS**). Ceci permet de nous assurer que le dessin réalisé est identique au schéma du circuit.
- 6/ Afin de tenir compte des parasites passifs (capacités, résistances) dus à l'implémentation physique (layout) du circuit, il est possible de faire **une simulation électrique « post-layout »** prenant en compte les éléments parasites du circuit (résistances et capacités essentiellement).

Cette démarche sera mise en œuvre au travers d'un circuit simple (modulateur équilibré, amplificateur différentiel cascode...) intégré dans une technologie CMOS classique (AMS CMOS 0.35 μm).

- Durée du TP : 16h00

- Logiciels et bibliothèques utilisés : Cadence 5.1, AMS 3.70

- Filières : ENSEEIHT département électronique et traitement du signal, filière circuits intégrés.

-Ouvert à la formation continue : oui

- Nom et email des enseignants : beteille@enseeiht.fr, bernal@enseeiht.fr