

# Conception des Systèmes Numériques et Mixtes

Daniela Dragomirescu<sup>1,2</sup>, Michael Kraemer<sup>1,2</sup>, Marie-Line Boy<sup>3</sup>, Philippe Bourdeau d'Aguerre<sup>3</sup>

1 - Université de Toulouse : INSA Toulouse, 135 Av. de Ranguet Toulouse cedex 4  
2-LAAS-CNRS ; Université de Toulouse, 7, Av. du colonel Roche, F-31077 Toulouse  
3- Atelier Interuniversitaire de Micro-electronique, 135 Av. de Ranguet Toulouse

Résumé : Cet article présente la conception des ASICs numériques et analogique avec extension vers les circuits radiofréquence. Dans une première partie, un cycle complet de conception des ASIC numériques est mis en place à partir du code VHDL jusqu'à la définition du circuit intégré ASIC sur silicium en passant par l'étape de synthèse automatique de circuits. Le « design kit » d'un fondeur de semi-conducteurs et les plateformes de conception CADENCE et SYNOPSIS (synthèse de circuits au niveau RTL à partir du code VHDL) sont utilisés. Dans une deuxième partie la conception analogique complète d'un oscillateur sur Silicium est réalisé jusqu'à 2.4 GHz en utilisant le même design kit et la plateforme de design Cadence. L'intégration sur la même puce silicium de la partie numérique et analogique est réalisée.

## INTRODUCTION

Le projet présenté dans cet article, d'une durée de 30 heures, s'adresse à des étudiants de l'INSA de Toulouse, 5<sup>ème</sup> année Automatique - Electronique, option Systèmes Electroniques. Les promotions d'étudiants dans cette filière comptent entre 24 et 36 étudiants.

Avec le développement grandissant des communications sans fil tel que le GSM, UMTS, Wi-Fi, le besoin est apparu en industrie d'aller vers une intégration sur la même puce silicium des circuits numériques représentant la bande de base et la couche MAC et des circuits analogiques RF pour la transmission. C'est pour ceci que l'exemple choisi pour ce projet est une chaîne de transmission sans fil (Fig.1). Pour des contraintes temporelles les étudiants ne pourront pas développer tous les blocs de cette chaîne, mais ils réaliseront les blocs de base les plus importants. Notre choix porte sur la conception de la couche MAC coté circuit numérique et la conception d'un oscillateur LC à 2,4GHz, coté circuit analogique. Les étudiants utiliseront comme cahier de charge la spécification réelle (le standard IEEE Ethernet) d'une couche MAC. Pour la conception de l'oscillateur, nous proposons aux étudiants deux choix : concevoir un oscillateur faible bruit ou un oscillateur faible consommation. Chaque binôme fera son propre choix et devra ensuite voir les implications au niveau de valeurs et layout des composants, notamment pour les inductances. Sur l'ensemble de la classe, les deux oscillateurs seront implémentés.

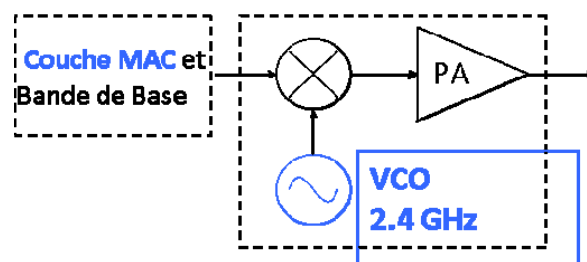


Figure 1. Chaîne de transmission sans fil. En bleu, les blocs à réaliser par les étudiants

De cette manière les étudiants seront mis en situation des ingénieurs concepteur avec différents choix à faire dépendant de leur application et avec des implications par la suite au niveau du design.

Ce projet est une transposition à plus basse fréquence et en utilisant des couches MAC standard, des nos travaux de recherche menées au LAAS-CNRS sur des transceivers UWB intégrant la couche MAC, la bande de base et la tête RF à 60GHz pour des réseaux des capteurs.

## OBJECTIFS PEDAGOGIQUES

- Apprendre le flot de conception ASIC numérique jusqu'au layout et optimiser le circuit du point de vue de ses performance : fréquence ou puissance consommée. Les étudiants sont déjà familiers avec la conception des circuits numériques en utilisant le langage VHDL et le flot de design FPGA qu'ils avaient appris l'année précédente.
- Apprendre le flot de conception ASIC analogique en partant de la conception du schéma électrique, choix des composants, simulation électrique et jusqu'au dessin du layout
- Apprendre les techniques particulières de conception analogique radiofréquences dans le cas des oscillateurs ; apprendre la conception des inductances RF, le choix de leurs valeurs en fonction des objectifs : oscillateur faible consommation ou oscillateur à faible bruit de phase

## DESCRIPTION DU FLOT DE CONCEPTION DES SYSTEMES NUMERIQUES

Les étudiants doivent suivre et appréhender le cycle de conception ASIC numérique présentée dans la figure 2.

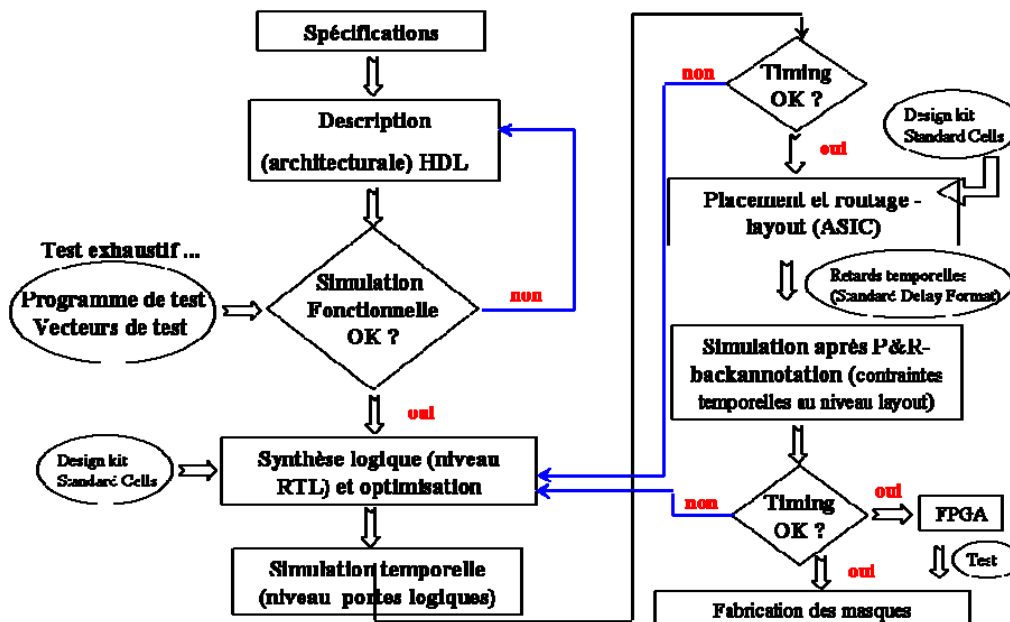


Figure 2. Cycle de conception ASIC numérique

Les étudiants commencent par la description VHDL de leur circuit en suivant les spécifications. Pour valider leur code VHDL, ils réalisent la simulation fonctionnelle tout en faisant attention à écrire du test VHDL pertinent et si possible exhaustif. Pour la simulation VHDL le logiciel IUS 5.7 de la plateforme CADENCE est utilisé. Coté outil de simulation,

une attention particulière est donnée à la compréhension et l'apprentissage de l'étape d'élaboration, étape "caché" sur un flot de design FPGA.

Le design kit utilisé est AMS3.70 en technologie 0.35um. Nous avons fait le choix de ce design kit car il contient la vue layout complète de chaque cellule standard, ce qui permettra aux étudiants de pouvoir intégrer leur circuit numérique avec la partie RF sur la même puce au niveau du layout. De plus, ce même design kit nous permet de monter en fréquence à 2,4GHz de par les transistors et les inductances disponibles.

Les étudiants passent ensuite à l'étape de synthèse en utilisant la plateforme de conception **SYNOPTISYS** et le logiciel **Design Compiler**. Nous leur demandons de synthétiser leur circuit en faisant deux optimisations :

- une optimisation en fréquence. Plusieurs optimisations incrémentales sont faites en donnant la priorité aux chemins critiques. Le chemin critique est étudié en détail par les étudiants.
- une optimisation en puissance consommée.

En faisant cette étude les étudiants apprennent qu'un même circuit ne peut pas être en même temps optimisé en fréquence et puissance consommée et les raisons électroniques. Le choix d'optimisation à faire est fonction de l'application choisie et de son environnement (à comparer PDA et point d'accès Wi-Fi ou téléphone GSM et station de base GSM).

Dans leur estimation de fréquence maximale de fonctionnement les outils de synthèse ne tiennent pas compte de temps de propagation des entrées et des sorties du circuit. Pour valider l'information de fréquence maximale de fonctionnement donnée par Design Compiler, les étudiants réalisent la simulation du circuit après synthèse en tenant compte du fichier SDF (Standard Delay File) obtenu lors de la synthèse et contenant les temps de propagation dans les portes logiques du circuit. L'apparition des états aléatoires est discuté par rapport à l'intérêt d'utilisation des circuits synchrones.

Les étudiants passent ensuite au placement routage en utilisant **CADENCE – SoCEncounter**. Ils réalisent le design du floorplan, ils placent les anneaux de masse et alimentation et les cellules. Une analyse de performances de timing sera faite avant d'introduire les arbres d'horloge pour voir si les contraintes temporelle imposés sont respectés toujours respectés. Lors de cette analyse SoCEncounter va automatiquement faire un routage d'essai (trial route – low effort route) en faisant l'extraction des paramètres RC correspondant. Ceci démontre que les interconnexions sont un facteur majeur de ralentissement dans les grands circuits. Pour améliorer ces résultats nous allons introduire les arbres d'horloge, optimiser et ensuite router et vérifier l'optimisation temporelle. Dernière étape, on vérifie le DRC, la connectivité et on fait l'analyse de puissance dynamique consommée. Ensuite on prépare les fichiers de sortie pour importation sur **Cadence-Virtuoso Layout** (fig.3) et connexion avec le circuit RF.

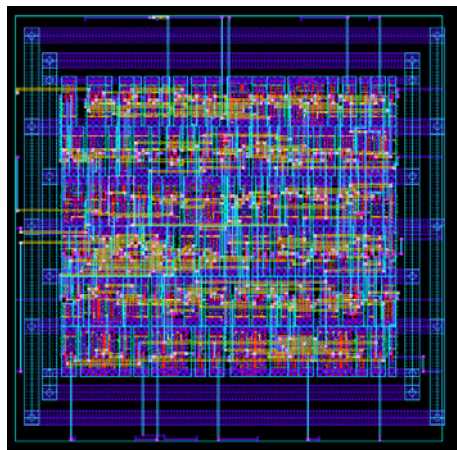


Figure 3. Layout du circuit numérique

## DESCRIPTION DU FLOT DE CONCEPTION ANALOGIQUE RADIOFREQUENCE

Dans cette partie, les étudiants vont concevoir un oscillateur LC intégrée en utilisant l'environnement CADENCE. L'oscillateur est entièrement intégré, c'est-à-dire, il n'y a pas de résonateur externe (quartz). La fréquence d'oscillation va être de 2,4GHz.

Les éléments pour déterminer la fréquence sont une inductance intégrée et un condensateur. Pour réaliser les condensateurs, dans ce projet on va utiliser des condensateurs MIM (metal-insulator-metal), qui créent la capacité entre deux couches de métallisation. Les capacités parasites seront également prises en compte.

Le modèle équivalent d'oscillateur qu'on va utiliser pendant ce projet est un résonateur LC monté en parallèle avec des pertes (les composants L, C,  $g_l$ ), figure 4. Ces pertes sont compensées par un transistor, qui ajoute une admittance négative, non linéaire ( $g_{\text{négatif}}$ ) ainsi que des capacités parasites qu'il faut aussi prendre en compte pour la détermination de la fréquence de résonance. La non-linéarité du transistor stabilise l'amplitude de l'oscillation.

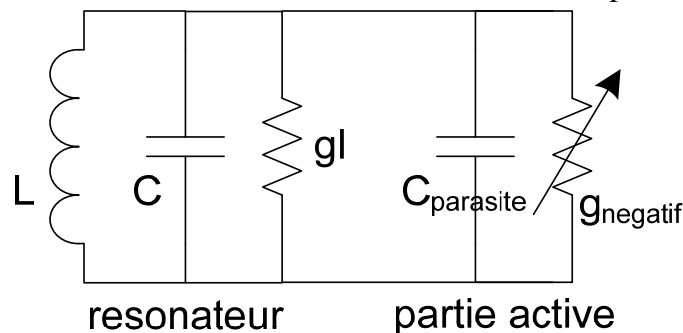


Figure 4. Modèle équivalent de l'oscillateur LC

Les performances recherchées sont :

- faible consommation de puissance ; La partie RF est responsable d'une grande partie de la consommation du circuit, surtout dans les applications autonomes. Il faut donc minimiser la consommation des circuits RF
- Faible bruit de phase si on considère le circuit en domaine fréquentiel, En temporel le bruit de phase correspond à la gigue.

Une fois l'architecture de l'oscillateur choisie, les performances dépendent des paramètres suivants :

- taille de transistor : plus le transistor est large, plus la résistance négative est importante.
- point de polarisation du transistor : il y a un point optimum, où une performance souhaitée est favorable
- valeur de l'inductance :
  - ➔ plus la valeur de l'inductance est grande, plus son admittance ( $g_l$ ) est petite, et donc les pertes qu'il ajoute sont faibles
  - ➔ plus la valeur de l'inductance est petite, plus le bruit de phase du circuit est faible

Les étudiants ont le choix entre deux cahiers des charges :

- concevoir un oscillateur faible bruit de phase, dans ce cas, l'inductance utilisée doit être la plus petite possible
- concevoir un oscillateur faible consommation, dans ce cas, l'inductance utilisée doit être la plus grande possible, afin d'avoir une taille de transistor la plus petite possible

Le flot de conception analogique radiofréquence que les étudiants doivent suivre et apprendre à maîtriser est le suivant :

1. Définir la spécification
2. Choisir l'architecture de l'oscillateur
3. Trouver le point de polarisation
4. Construire un modèle équivalent petit signal de l'oscillateur
5. Faire une première conception à la main (calcul de  $g_{\text{négatif}}$  et  $g_1$ , des valeurs des capacités et inductances)
6. Simulation du fonctionnement de l'oscillateur sur SPECTRE
7. Placement et Routage (manuel)
8. Design Rule Check (DRC)
9. Layout Versus Schematic (LVS)
10. Extraction
11. Simulation avec le modèle extrait

La première étape de la conception est de choisir une architecture pour le circuit à concevoir. Ce choix se base sur les spécifications, l'expérience de l'ingénieur, une recherche bibliographique où, plus rare, une idée géniale. Pour ce projet nous allons utiliser une architecture canonique d'oscillateur, l'oscillateur type Colpitts. Il y a plusieurs variantes de cet oscillateur. Le point clef est que le résonateur contient un diviseur de tension capacitive, dont une partie est connecté à l'entrée du transistor. Le schéma du circuit qu'on va utiliser est présenté dans la figure 5.

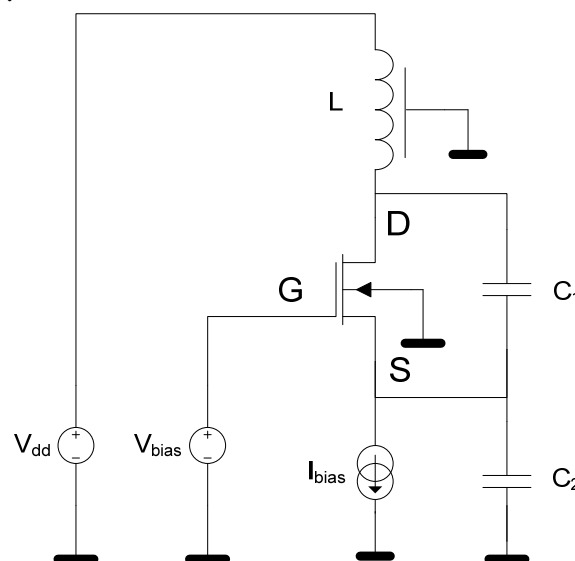


Figure 5. Architecture de l'oscillateur

Une attention particulière est donnée au calcul du point de polarisation, car tout le fonctionnement du circuit y dépend. Pour la conception d'un oscillateur, on cherche le point de polarisation pour lequel la fréquence de transition,  $f_T$ , est maximale. La  $f_T$  est la fréquence pour laquelle l'amplification de courant du transistor devient unité (c.-à-d. 0 décibel). Ensuite, les étudiants continuent avec la construction du modèle équivalent petit signal de l'oscillateur, le calcul des ses valeurs et ensuite ils optimisent en utilisant la simulation. Par la suite ils remplacent la source de courant idéal par un transistor MOS et ils re-optimise leur oscillateur. Dernière étape, les étudiants réalisent le layout de leur circuit sous CADENCE Virtuoso Layout et ils vérifient le DRC et LVS.

L'intégration entre le circuit numérique et l'oscillateur LC est réalisé au niveau layout sous CADENCE Virtuoso Layout, et donc la puce mixte est finie.

## **CONCLUSION**

Durant ce projet les étudiants ont appris comment concevoir des circuits intégrés mixtes avancés, ainsi que les principales optimisations à réaliser. Pour les circuits intégrés numériques, ils ont appris comment réaliser des circuits optimisés en fréquence ou en puissance consommée, l'impact de la technologie sur les performances du circuit et aussi l'impact de leur architecture VHDL sur ces mêmes performances. Pour des circuits radiofréquence, en occurrence des oscillateurs, les étudiants ont vu comment réaliser un oscillateur optimisé en puissance consommée ou en bruit de phase et l'impact de l'architecture et de valeur des inductances sur les performances. Ils ont appris également de prendre en compte les éléments parasites du circuit, notamment les capacités. L'impact de la technologie choisi sur la fréquence maximale d'oscillation a été également montré.