

Initiation au Test des Circuits Numériques

**Daniela Dragomirescu^{1,2}, Romain Desplats³, Philippe Bourdeau
d'Aguerre⁴, Alain Cazarre^{2,5}**

1 - Université de Toulouse : INSA Toulouse, 135 Av. de Ranguel Toulouse cedex 4

2-LAAS-CNRS ; Université de Toulouse, 7, Av. du colonel Roche, F-31077 Toulouse

3- CNES, 18,Av.E.Belin 31000 Toulouse

4- Atelier Interuniversitaire de Micro-electronique, 135 Av. de Ranguel Toulouse

5 - Université de Toulouse : Université Paul Sabatier

Résumé : De manière à préparer les étudiants au monde de l'électronique, il est important de couvrir chaque des étapes du développement des circuits intégrés, depuis leur conception, en gardant pour objectif leur finalité double : réaliser une fonction et pouvoir la garantir. Dès la conception des algorithmes de test doivent y être intégrés (Design for Testability). Les étudiants exploitent l'outil VERIFault de l'environnement CADENCE et l'outil TETRAMAX de la plateforme SYNOPSIS, outils mis à leur disposition à l'Atelier Interuniversitaire de Microélectronique de Toulouse (AIME). Ce cours et travaux pratiques sont dédiés aux étudiants de Master Micro et NanoSystèmes, Master ICEM, Master CAMSI et aux formations d'ingénieurs sur le pôle Toulousain.

INTRODUCTION

L'enseignement d'initiation au test logique, cours et travaux pratiques, présenté dans cet article, a une durée de 18h. Cet enseignement s'adresse à plusieurs filières d'enseignement toulousain, au niveau master 2 :

- aux étudiants du Master Recherche Micro et Nanosystèmes
- aux étudiants de l'ENSEEIH en troisième année électronique option circuits intégrés,
- aux étudiants du Master Pro CAMSI (Concepteur en Architecture de Machines et Systèmes Informatiques)
- aux étudiants du Master Pro ICEM (Intégration des Circuits Electroniques et Microélectroniques)

Les promotions d'étudiants dans chacune de ces filières comptent entre 15 et 24 étudiants.

La complexité des circuits intégrés actuels permet à l'électronique de s'appliquer dans une grande variété d'applications telle que l'automobile ou aéronautique ou bien le spatial. Sur un même composant vont pouvoir être intégrés diverses fonctions réalisant des calculs et le traitement des données simultanément. Des contraintes de temps réels y sont souvent adjointes.

La contrepartie des performances se traduit au niveau des exigences. Il est essentiel que le composant réalise la fonction voulue (ex : contrôle de vitesse

automobile) avec un niveau de qualité et fiabilité des plus élevé. Aussi, pour garantir ce bon fonctionnement des circuits, il faut tester et vérifier ces circuits. Le test et la vérification des circuits est réputée mobilisés moitié des ressources alloués à un projet aussi bien au niveau temporel que au niveau humain.

OBJECTIFS PEDAGOGIQUES

- Apprendre à faire de test de détection en utilisant la méthode de sensibilisation des chemins (D-Algorithm)
- Etablir la couverture d'un vecteur de test
- Apprendre à utiliser l'ATPG (automatic test pattern generation)
- Fournir une expérience concrète avec des outils de simulation utilisés dans le milieu industriel
- Montrer les problèmes de test rencontrés avec des circuits combinatoires, et la pertinence des séquences de test, depuis la simple simulation jusqu'aux séquences algorithmiques optimales.
- Introduire les étudiants à la conception des circuits intégrés numérique facilement testables (Design for Testability)

TEST DE DETECTION DES CIRCUITS NUMERIQUES

De manière à préparer les étudiants au monde de l'électronique, il est important de couvrir chacune des étapes du développement des circuits intégrés, depuis leur conception, en gardant pour objectif leur finalité double : réaliser une fonction et pouvoir la garantir. Dès la conception des algorithmes de test doivent y être intégrés (Design for Test). Acquérir cette culture doit être accompagnée par de la pratique. En effet, tester un composant signifie prévoir les pannes possibles et pouvoir les détecter. En ce sens, prévoir un test efficace, avec une bonne couverture, se fait maintenant avec l'aide de logiciels spécifiques proposés dans des suites telles Cadence et Synopsys qui sont utilisés par les concepteurs de circuits intégrés.

Le sujet du test et de la simulation de fautes (ou de pannes électroniques) est enseigné d'une manière progressive. Une première partie est basée sur le « besoin » du test pour garantir le fonctionnement d'un composant. Les étudiants apprennent d'abord le test au niveau logique (collage à '0' ou à '1') des circuits combinatoires. Ils se familiarisent avec le test de détection en utilisant la méthode de sensibilisation de chemin, ils apprennent à établir la couverture d'un vecteur, ainsi que la matrice de pannes d'un circuit. L'algorithme Automatic Test Patern Generation (ATPG) est présenté et il sera par la suite utilisé lors des séances de TP. Ensuite, les étudiants avancent sur apprentissage du test de diagnostique avec des algorithme adaptatifs et donc la construction des arbres des fautes.

Après avoir acquis ces notions de fiabilité, une deuxième partie pratique, à l'AIME, est proposée avec les outils Verilog et Verifault de CADENCE. L'objectif est basé sur la réflexion. Les étudiants recherchent des méthodes judicieuses pour simuler des fautes et vérifier quelles soient détectées (par le test). Le TP complet comprend

l'étude de plusieurs circuits : un additionneur complet (fig.1), 3 additionneurs cascades (fig.2) et si le temps le permet, un compteur synchrone (fig.3)

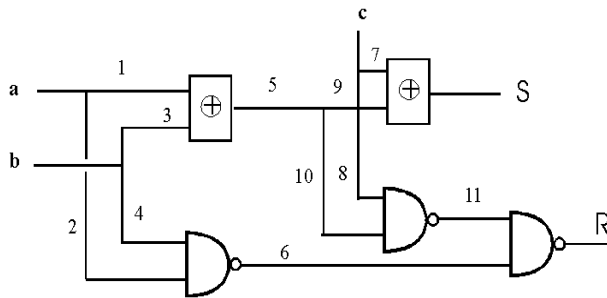


Fig.1 Additionneur complet

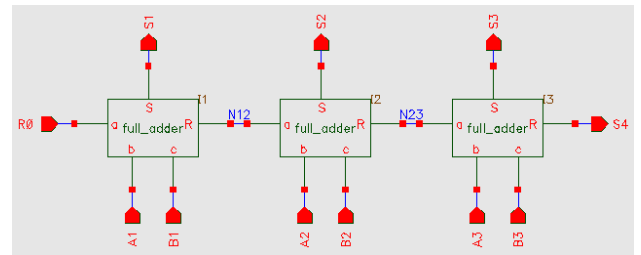


Fig.2 Trois additionneurs cascades

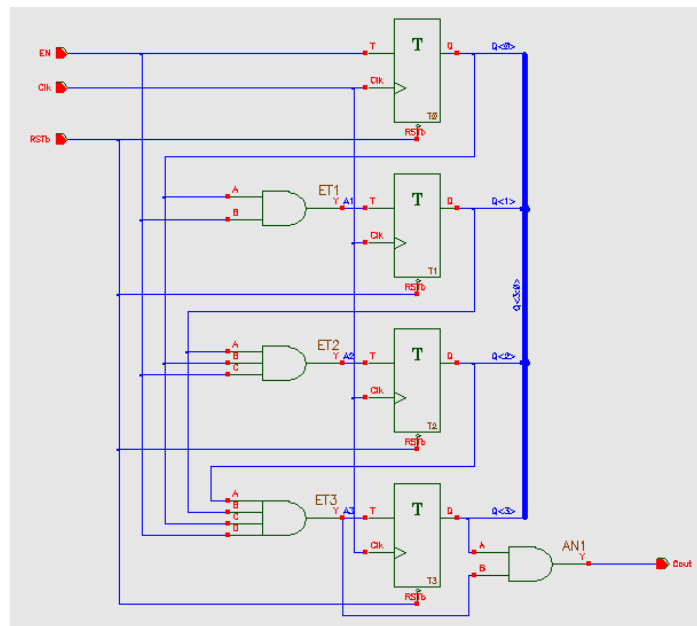


Fig.3 Compteur synchrone

Ces circuits seront simulés avec 2 simulateurs complémentaires:

- VERILOG permettra de faire des simulations logiques et de valider les vecteurs de test en termes d'activité (toggle count)
- VERIFault est le simulateur de fautes qui donnera la couverture de fautes des vecteurs de test.

Après avoir travaillé sur ces méthodes, la troisième partie se focalise sur le travail des ingénieurs de test : Utilisation de TetraMax pour la génération automatique de séquence de test (ATPG), figure 4. Avec un support du **Centre National d'Études Spatial (CNES)**, cet enseignement a été mis en place pour préparer les étudiants à la réalité du test de l'industrie du semi-conducteur. TetraMAX est un des outils les plus utilisés sur le marché et sa maîtrise donne aux étudiants un avantage indéniable dans ce domaine.

TetraMAX permet de lier la conception de fonctions électroniques (en VHDL), la simulation de la fonction réalisée, pour finir avec le test en vue de garantir leur

fiabilité. Les figures 5, 6 et 7 illustrent l'utilisation du logiciel TetraMAX pour tout ce flot de verification.

Les étudiants exploitent l'outil TetraMAX, de l'environnement Synopsys, mis à leur disposition à l'Atelier Inter-universitaire de MicroElectronique de Toulouse (AIME) avec le soutien du CNFM.

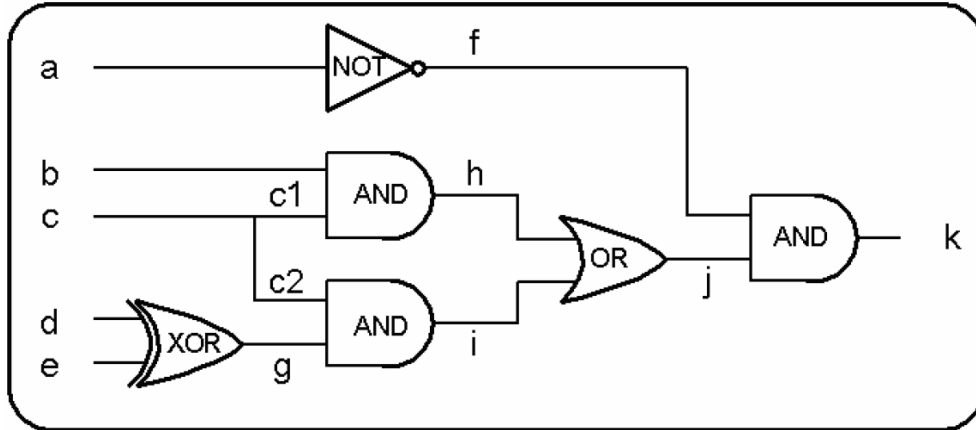


Figure 4 - Génération déterministe des vecteurs de test pour les circuits combinatoires

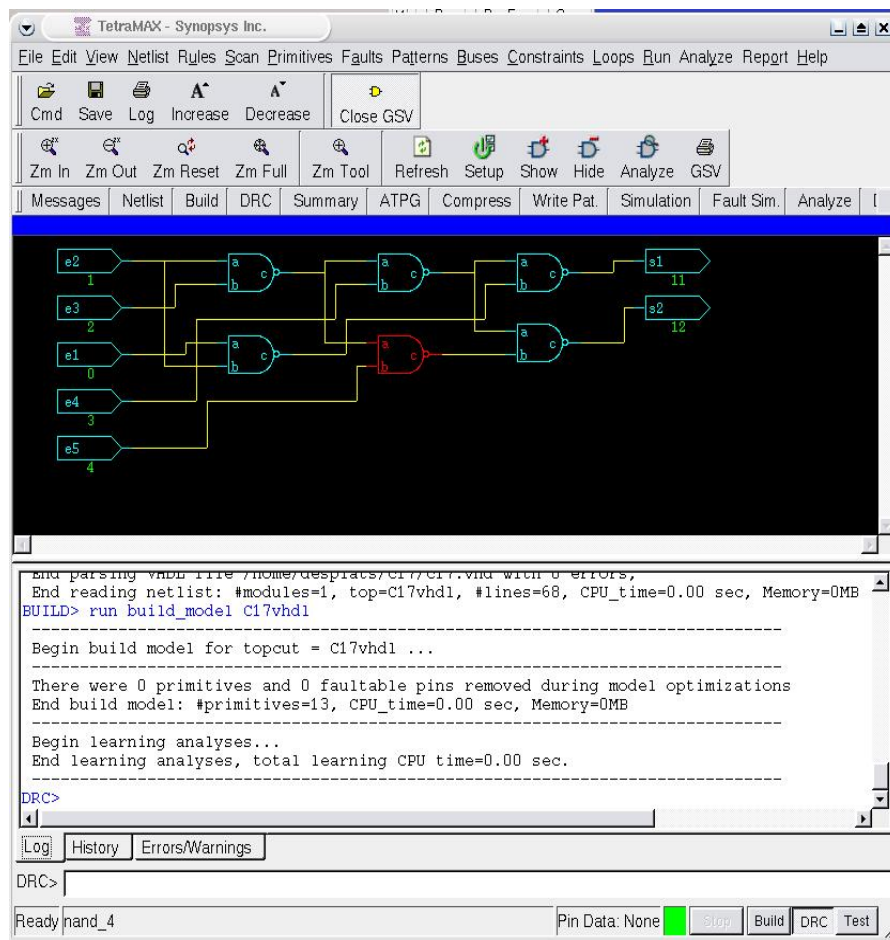


Figure 5 - Génération automatique de séquences de test (ATPG) avec l'outil TetraMAX de Synopsys, disponible à l'AIME.

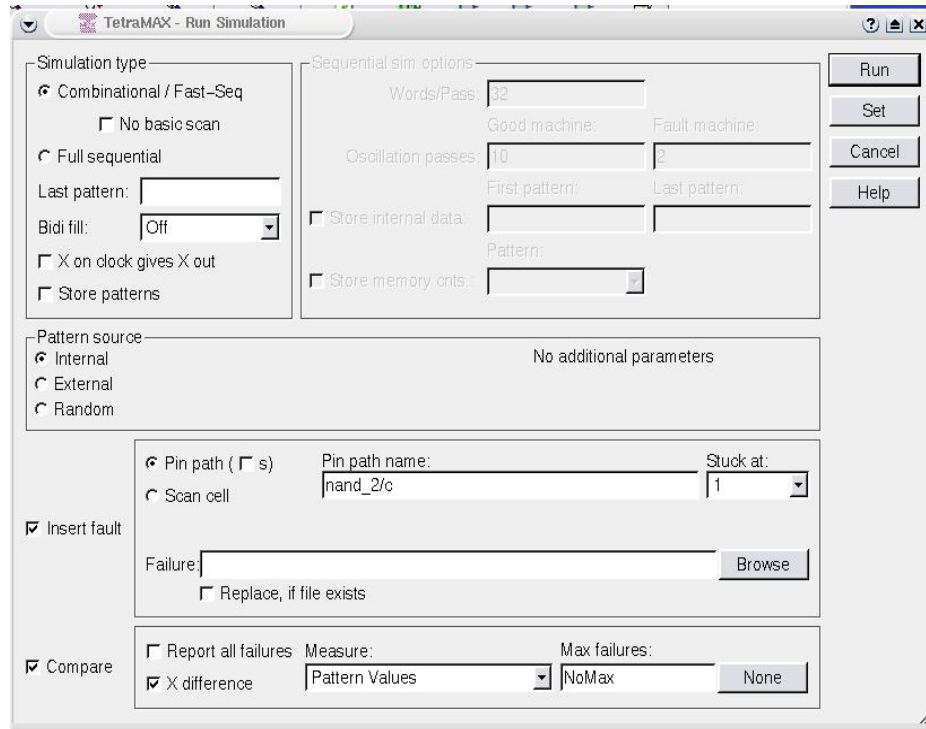


Figure 6 - Simulation avec insertion de fautes

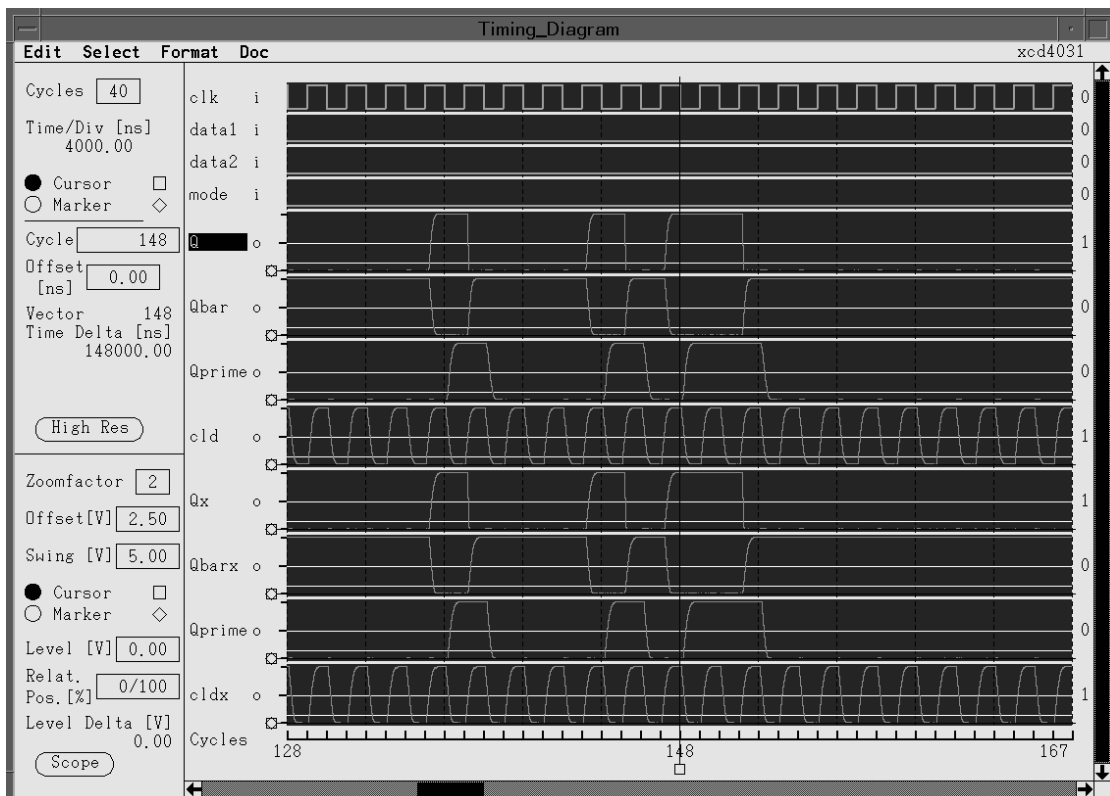


Figure 7 – Diagramme temporel pour le test d'un composant.

Certaines années, en fonction du nombre des étudiants et de la disponibilité d'accueil, nous avons organisés des visites au centre de test du CNES afin de permettre

aux étudiants de découvrir le test des composants électronique dans un contexte spatial, ainsi que des testeurs industriels (figure 8). Le circuit est placé sur une carte électronique, sous vide pendant son test.



Figure 8 –Test d'un composant dans un contexte spatial. Le testeur (en bleu à gauche) est un Sapphire, de Credence.

CONCLUSION :

En conclusion, l'initiation au test de composants permet aux étudiants de compléter leur formation en électronique. C'est en effet la brique technique qui valide la boucle de la conception de composants. Les concepteurs de circuits intégrés se doivent penser au test. Le « Design for Test » fait partie du développement des composants électroniques qui se base sur l'assemblage des blocs de fonctions (bibliothèques). Garantir la fonction finale et sa fiabilité se fait en travaillant sur le test dès les premières étapes ; des logiciels comme TetraMAX sont maintenant inclus dans les suites de conceptions de circuits intégrés.