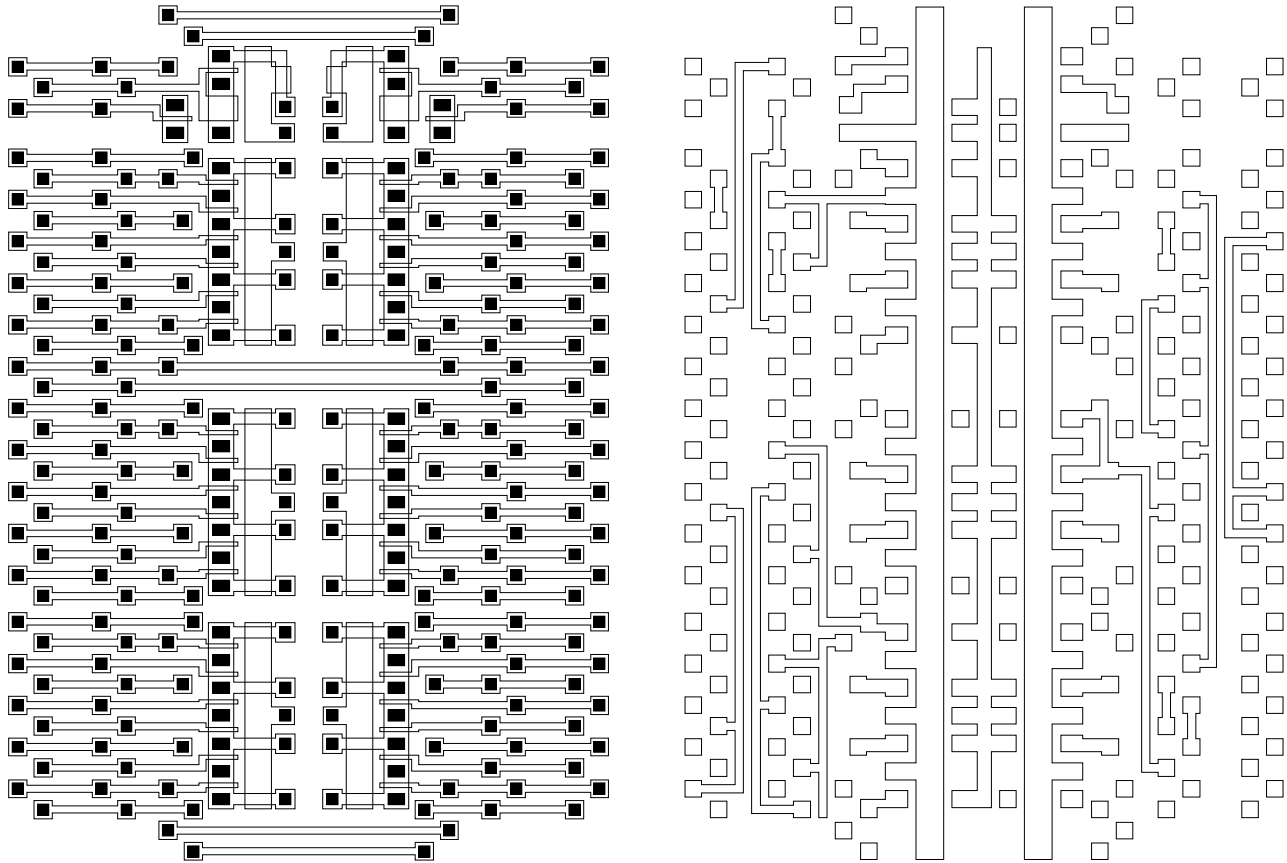


# Le Prédifusé AIME DTC4R

Le réseau prédifusé (“gate array”) du jeu de masques DTC4R est destiné à la fabrication sur le process AIME AN4 (NMOS à enrichissement, à grille auto-alignée).

L’objectif est de faire des circuits logiques dont la personnalisation dépend seulement du dernier masque (interconnexions en aluminium).

## 1. Vue d’ensemble



Sur la moitié gauche de la figure on voit les 3 premiers niveaux de masque de la matrice, qui forment un réseau régulier de transistors et de segments de connexions, indépendant de l’application.

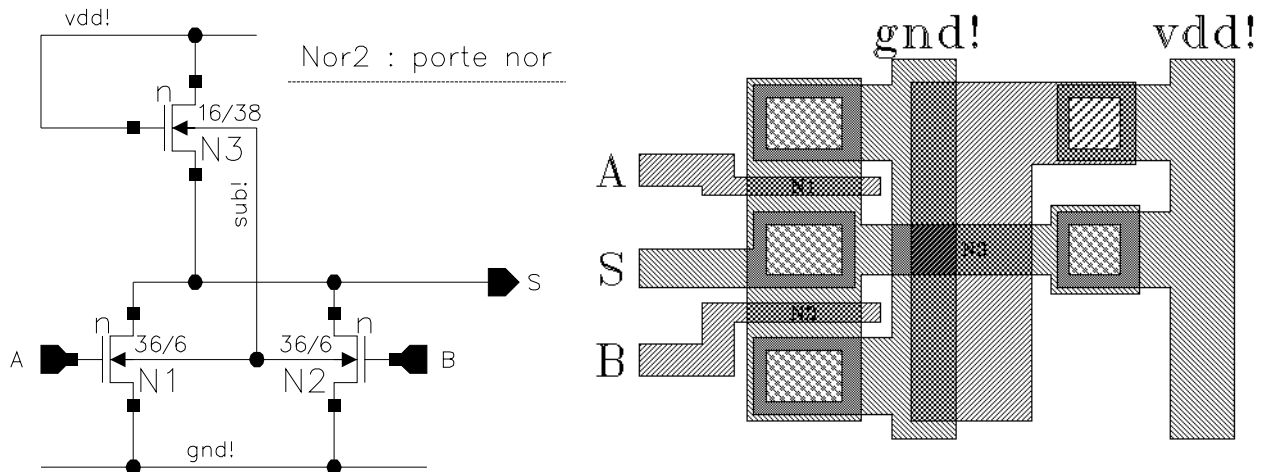
Sur la moitié droite on voit le quatrième niveau (ALU1) qui contient les connexions spécifiques d’une application.

On remarque que les segments de connexion en polysilicium de la matrice sont horizontaux, alors que la plupart des segments du niveau ALU1 sont verticaux.

## 2. Logique NMOS

Le gate array est destiné à la réalisation de cellules digitales basées sur la porte NOR constituée seulement de transistors à canal N à enrichissement. Cette architecture est similaire à la logique NMOS classique (enrichissement + déplétion), à ceci près que la grille du transistor de charge ("pull-up") est polarisée par une tension constante au lieu d'être reliée à la source.

La porte NOR est "universelle", elle permet de réaliser tous les systèmes discrets. En particulier l'inverseur est simplement une porte NOR à une entrée.



Les transistors d'entrée doivent avoir un rapport W/L (par exemple 36/6) très supérieur à celui du transistor de charge ("pull-up") (par exemple 16/38) pour que les niveaux de tension en sortie soient compatibles avec la porte suivante.

## 3. Tuile T10

La "tuile" est un motif élémentaire de la matrice.

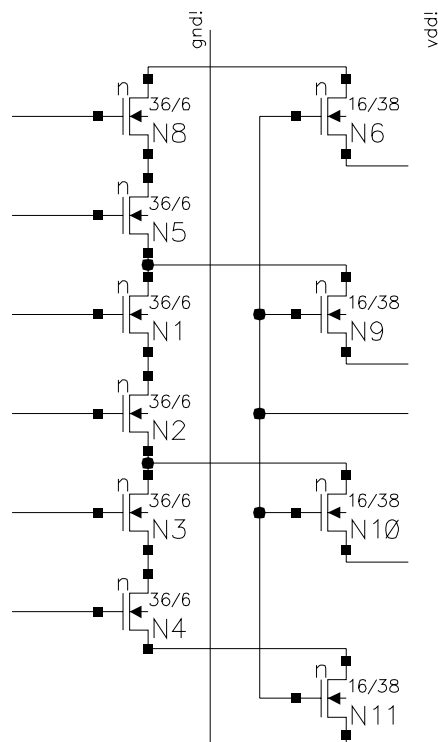
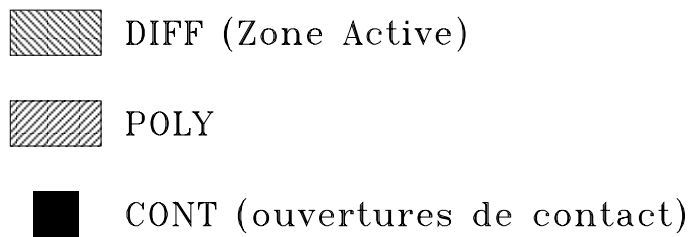
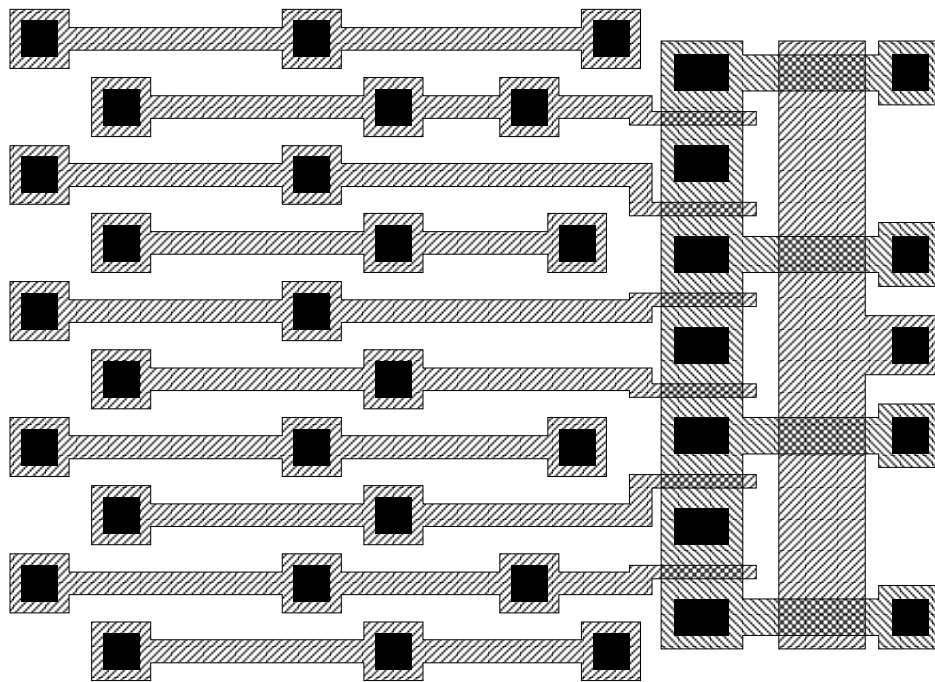
La tuile T10 contient 6 transistors "courts" destinés aux entrées des portes et 4 transistors "longs" destinés à servir de charges ("pull-up").

Ceci correspond à une configuration 'de base' contenant 2 portes NOR à 2 entrées et 2 inverseurs, mais beaucoup d'autres configurations sont possibles.

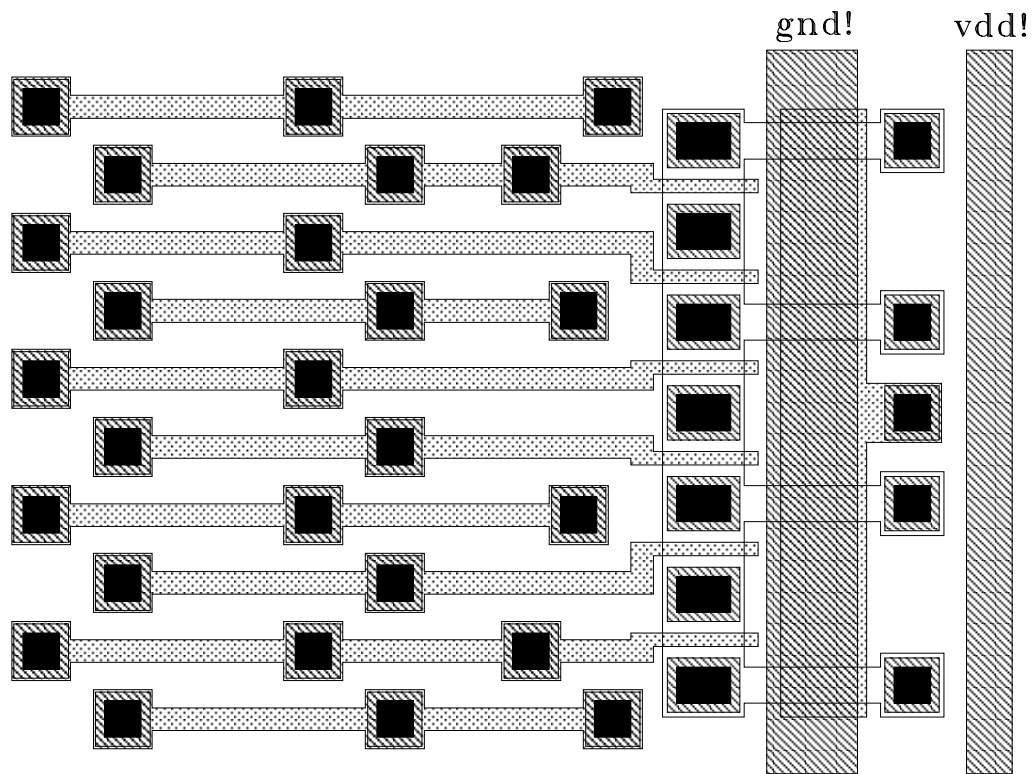
Les entrées et les sorties sont ramenées sur 10 connexions en polysilicium portant chacune 2 ou 3 contacts.

Chacune de ces connexions horizontales peut être croisée par au moins 3 connexions verticales en aluminium.

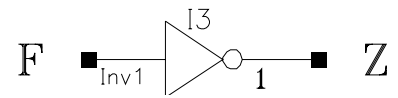
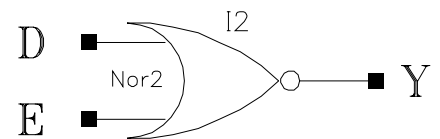
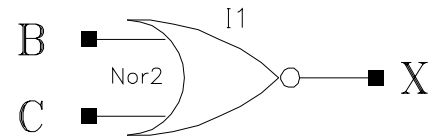
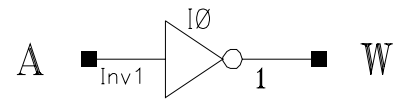
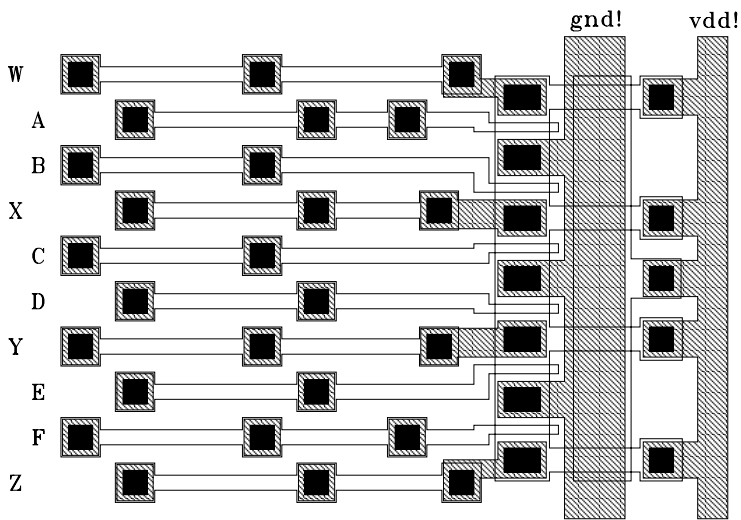
### 3.1 Tuile T10 vue sans le niveau ALU1



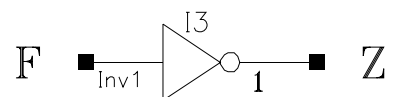
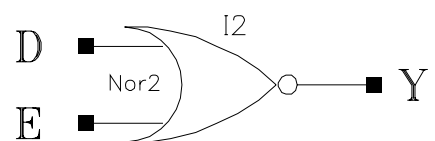
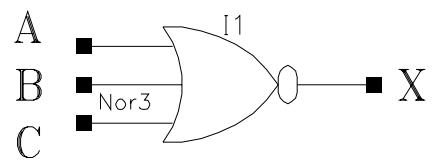
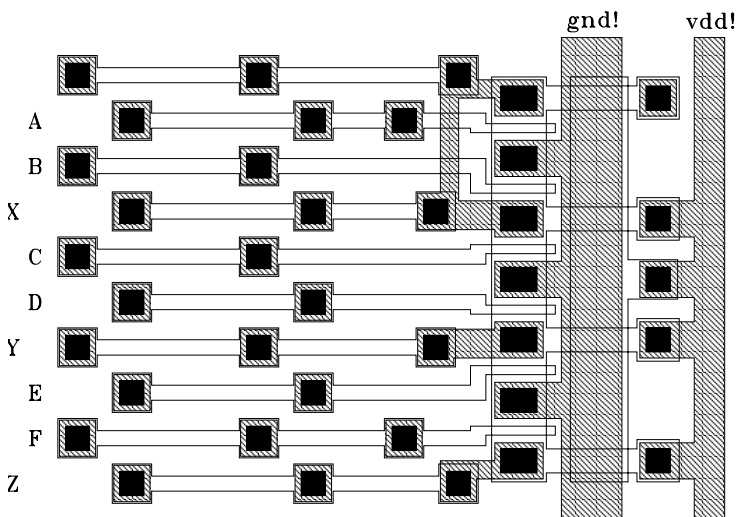
### 3.2 Tuile T10 non personnalisée



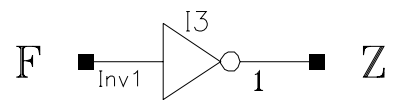
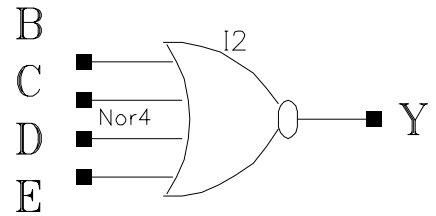
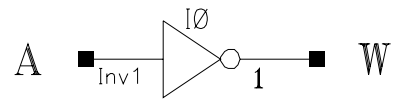
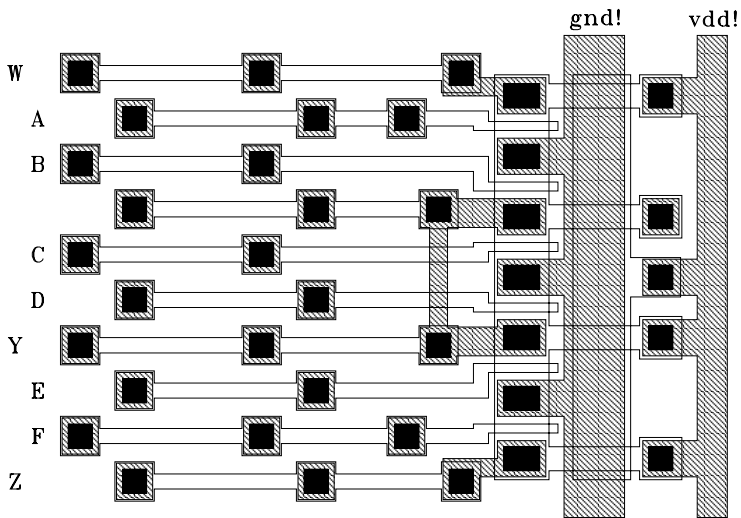
### 3.3 Tuile T10 en configuration de base



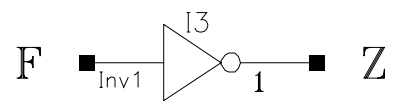
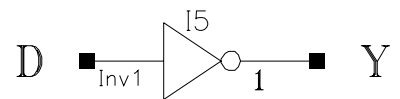
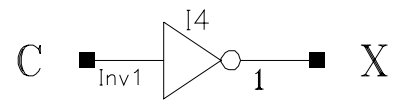
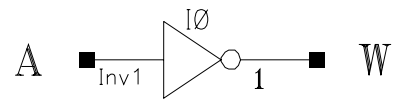
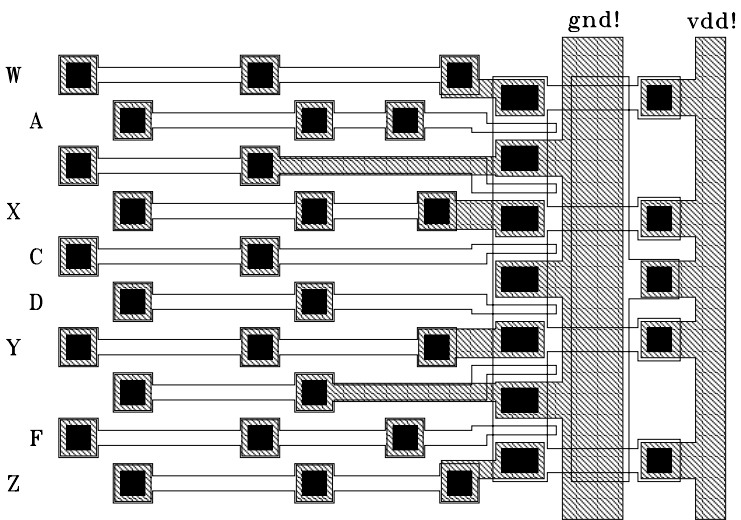
### 3.4 Tuile T10 avec Nor à 3 entrées



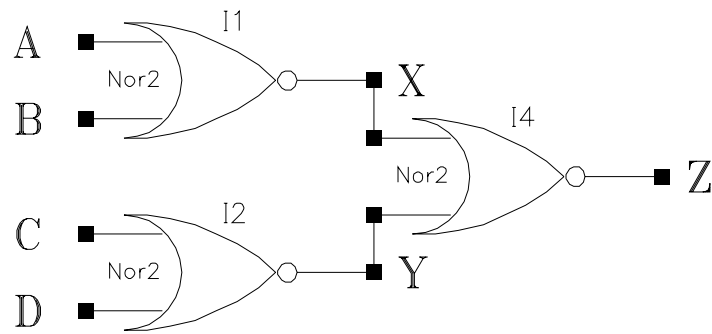
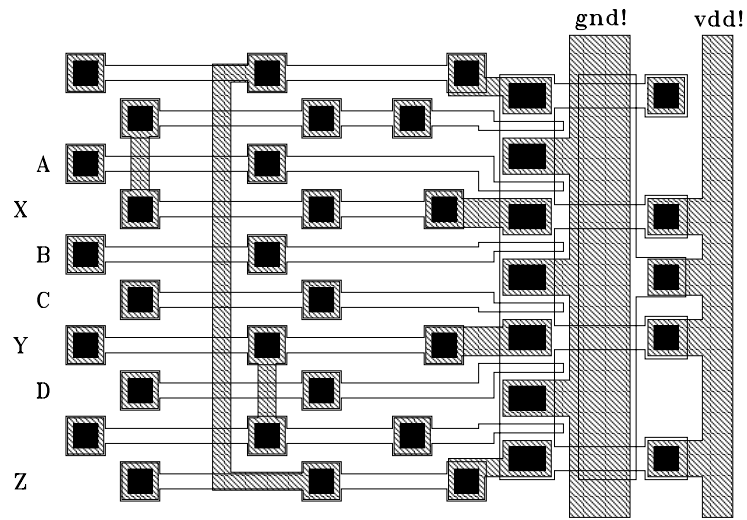
### 3.5 Tuile T10 avec Nor à 4 entrées



### 3.6 Tuile T10 avec 4 inverseurs

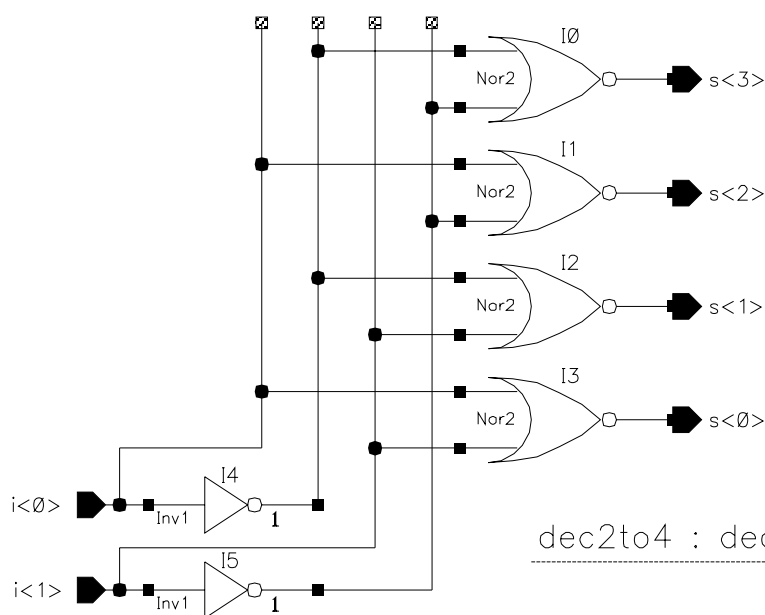
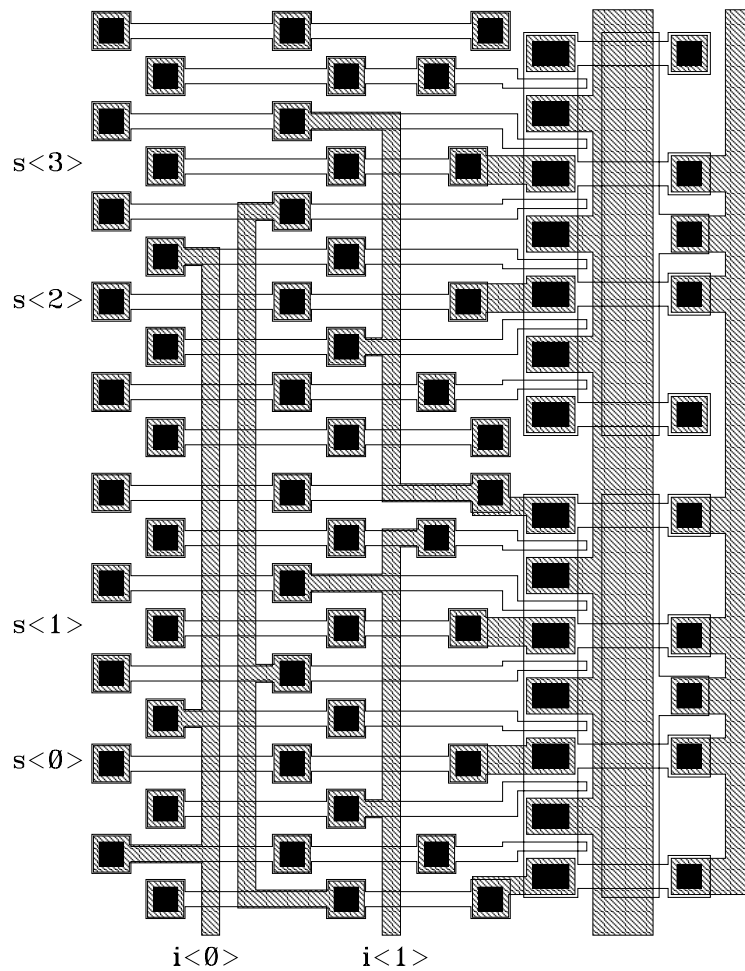


### 3.7 Tuile T10 avec fonction $(A+B)(C+D)$



## 4. Associations de tuiles

### 4.1 Décodeur 2 vers 4 sur deux tuiles T10



dec2to4 : decodeur 2 vers 4